

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-243482

(43)Date of publication of application : 21.09.1993

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 23/50

(21)Application number : 04-042933

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.02.1992

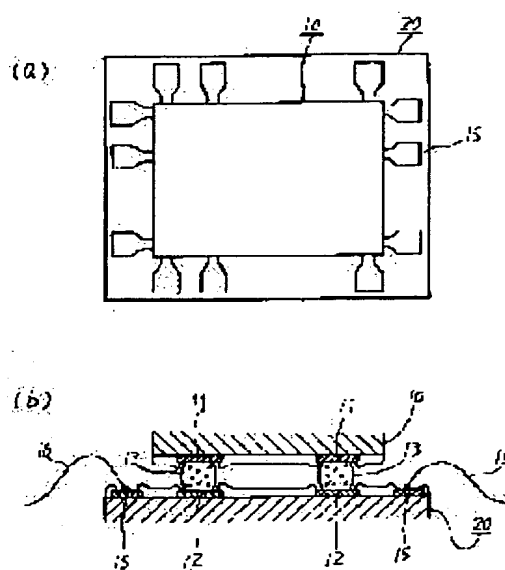
(72)Inventor : MIZUSHIMA TAMAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To decrease wiring density by dividing circuit blocks constituting a semiconductor integrated circuit into independent function blocks, forming the respective chips, stacking them, and interconnecting I/O terminals of the chips.

CONSTITUTION: A chip 10 in which a plurality of memory cells are formed is stacked on a chip 20 in which a peripheral circuit driving the memory cells is formed. Pads 11 formed on the periphery of the chip 10 are connected with pads 12 on the chip surface via previously formed solder bumps 13. The pads 11, 12 are connected with I/O terminals of a peripheral circuits which terminals are formed in the chip 10 and the chip 20, respectively. The peripheral circuit is connected with pads 15 for outer connection formed on the periphery of the chip 20, via a wiring formed on the chip 20 surface. Since the memory cells and the peripheral circuit are individually formed in the chip 10 and the chip 20, respectively, the layouts of the respective inner wirings are simplified and have a large degree of design freedom.



BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-243482

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

23/50

W 9272-4M

7220-4M

H 0 1 L 25/ 08

B

審査請求 未請求 請求項の数 4(全 4 頁)

(21)出願番号

特願平4-42933

(22)出願日

平成4年(1992)2月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 水嶋 環

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

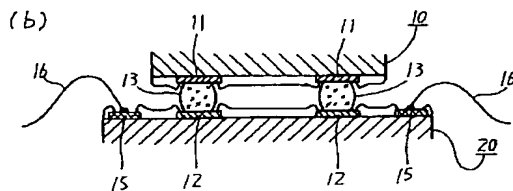
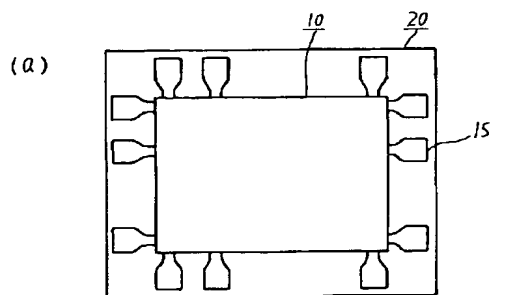
(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 メモリセルを備えた半導体集積回路に関し、チップ専有面積の増大をともなわずに集積度の向上および内部配線の線幅の増大ならびにレイアウトの自由度を高めることを目的とする。

【構成】 メモリセルと周辺回路のように、互いに異なる機能を有する回路ブロックを別々のチップに形成し、これらチップを積み重ねたのち相互接続して所望の半導体集積回路を形成する。その結果、低抵抗で高信頼性の内部配線を形成可能となる。

本発明の第1の実施例説明図



【特許請求の範囲】

【請求項1】 第1の半導体集積回路が形成され且つ該第1の半導体集積回路の入出力端に接続された複数の電極が表出する表面を有する第1のチップと、第2の半導体集積回路が形成され且つ該第1のチップより小面積であるチップであって、該第2の半導体集積回路の入出力端に接続されるとともに各々が該第1のチップ表面における該複数の電極と面対称の関係に配置された複数の電極が表出した表面を有し且つ該表面が該第1のチップの表面に対向するようにして該第1のチップ上に配置された第2のチップと、該第1のチップ表面における該複数の電極と該第2のチップ表面における該複数の電極とを互いに接続するための接続手段とを備えたことを特徴とする半導体集積回路。

【請求項2】 前記第1のチップの周辺領域に前記第1の半導体集積回路の入出力端または前記接続手段を介して前記第2の半導体集積回路の入出力端に接続され且つ外部回路に対して接続可能な電極が設けられていることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記第1のチップ表面上に複数の前記第2のチップが配置されていることを特徴とする請求項1または2記載の半導体集積回路。

【請求項4】 前記第2の半導体集積回路はメモリセルを含み且つ前記第1の半導体集積回路は該メモリセルを駆動するための周辺回路を含むことを特徴とする請求項1、2または3記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路、とくに、メモリセルを備えた半導体集積回路に関する。

【0002】

【従来の技術】半導体集積回路の高性能化および高密度化にともなって、その内部配線は、レイアウトがますます複雑になりかつ幅が縮小の一途をたどっている。

【0003】

【発明が解決しようとする課題】細線化にともなう抵抗の増大およびストレスマイグレーションあるいはエレクトロマイグレーションによる信頼性の低下等の問題は、高融点金属やシリサイド等の導入による解決が図られている。細線化は、一方で、高アスペクト比のリソグラフィ技術を必要とする。したがって、将来の高密度半導体集積回路の内部配線における問題は、レイアウトの設計、材料の選択、リソグラフィを含めて総合的な観点からの解決が要求され、ますます困難性が高まりつつある。

【0004】本発明は、現状の材料技術およびリソグラフィ技術によってもなおかつ上記のような問題点を解決可能とし、より高密度化された半導体集積回路を提供可能とすることを目的とする。

【0005】

【課題を解決するための手段】上記目的は、第1の半導体集積回路が形成され且つ該第1の半導体集積回路の入出力端に接続された複数の電極が表出する表面を有する第1のチップと、第2の半導体集積回路が形成され且つ該第1のチップより小面積であるチップであって、該第2の半導体集積回路の入出力端に接続されるとともに各々が該第1のチップ表面における該複数の電極と面対称の関係に配置された複数の電極が表出した表面を有し且つ該表面が該第1のチップの表面に対向するようにして該第1のチップ上に配置された第2のチップと、該第1のチップ表面における該複数の電極と該第2のチップ表面における該複数の電極とを互いに接続するための接続手段とを備えたことを特徴とする本発明に係る半導体集積回路、または、上記において、前記第1のチップの周辺領域に前記第1の半導体集積回路の入出力端または前記接続手段を介して前記第2の半導体集積回路の入出力端に接続され且つ外部回路に対して接続可能な電極が設けられているか、あるいは、前記第1のチップ表面上に複数の前記第2のチップが配置されていることを特徴とする本発明に係る半導体集積回路によって達成される。

【0006】

【作用】本発明の基本的は、一つの半導体集積回路を構成する回路ブロックを、機能別あるいは共通の内部配線を多く有するものどうし別に分け、それぞれを別のチップに形成し、これらのチップを積み重ねてそれぞれの入出力端子を相互接続することによって、集積回路全体としての専有面積を増加させることなく、各チップにおける内部配線のレイアウトを単純にするとともに、配線密度を低くする。これによって、従来の材料技術およびリソグラフィ技術によって、内部配線の抵抗を低く維持しかつ信頼性を高めることが可能となる。

【0007】

【実施例】図1は本発明の第1の実施例説明図であって、例えば複数のメモリセル（図示省略）が形成されたチップ10を、同図(a)に示すように、これらメモリセルを駆動するための周辺回路（図示省略）が形成されたチップ20の上に積み重ね、チップ10の周辺に形成されているパッド11と、チップ20の表面にパッド11に対応するように形成されているパッド12との間を、同図(b)に示すように、例えばパッド11または12にあらかじめ形成されている半田から成るバンプ13によって接続する。パッド11は、チップ10に形成されているメモリセルの入出力端に、パッド12は、チップ20に形成されている周辺回路の入出力端に、それぞれ接続されている。

【0008】前記周辺回路は、チップ20表面に形成されている図示しない配線によって、チップ20の周辺に形成されている外部接続用のパッド15に接続されている。これにより、前記メモリセルは、同一チップにメモリセルと周辺回路とが形成された通常の半導体メモリ装置とまったく同様に使用することができる。なお、図1(b)に

おける符号16は、パッド15に接続された例えばアルミニウムから成るボンディングワイヤである。

【0009】図1の構造によれば、前記メモリセルおよび周辺回路はチップ10および20に個別に形成されるために、それぞれの内部配線のレイアウトは簡単かつ大きな設計の自由度を有する。また、その線幅を大きく設定することができるために、低抵抗となり、かつ、信頼性が向上する。このような効果は、内部配線のみならず、メモリセルや周辺回路を構成する拡散領域や層間絶縁層に形成されるコンタクトホールに対する面積上の制約を緩和する上でも有効であることは言うまでもない。

【0010】図2は本発明の第2の実施例説明図であって、第1の実施例におけるチップ10の他に、論理回路が形成された第3のチップ30をチップ20上にさらに積み重ねた場合である。チップ30表面に形成されたパッドと、チップ20表面に形成された対応するパッドとが前記実施例と同様にして接続され、これによって、前記論理回路は、チップ20に形成されている周辺回路を通じて、チップ10に形成されているメモリセルにアクセス可能とされ、また、チップ20の周辺に形成されているパッド15を通じて外部回路に接続される。

【0011】図3は、前記チップ10またはチップ30とチップ20との間の別の接続方法の説明図である。すなわち、本実施例においては、チップ10またはチップ30におけるパッド11に対して、いわゆるTAB(tape automated bonding)法による銅箔状のリード線18の一端を接続しておき、リード線18を所定形状に整形・切断したのち、それぞれの他端を、チップ20上のパッド12に接続する。

【0012】上記説明から分かるように、チップ10および30におけるパッド11の配置と、チップ20におけるパッド12の配置とを標準化しておけば、本発明の主旨は、チップ10に形成されるメモリセル、チップ20上に形成される周辺回路、チップ30上に形成される論理回路のそれぞれ

種類の種類によって限定されない。つまり、メモリセルの容量の異なるチップ、機能の異なる論理回路を有するチップ、および、これらメモリセルおよび論理回路の制御に必要な周辺回路を有するチップを任意に組み合わせることができる。

【0013】

【発明の効果】上記のように、本発明は、一つの半導体集積回路を構成する回路ブロックを、機能別あるいは共通の内部配線を多く有するものどうし別に分け、それぞれを別のチップに形成し、これらのチップを積み重ねてそれぞれの入出力端子を相互接続する。これにより、集積回路全体としての専有面積を増加させることなく、各チップにおける内部配線のレイアウトを単純にするとともに、配線密度を低くすることができる。その結果、低抵抗の高信頼性の配線を必要とする高性能・高密度半導体集積回路の開発促進、製造歩留まりおよび信頼性の向上に効果がある。

【0014】さらに、本発明によれば、所望の容量を有するメモリセルが形成されたチップまたは所望の機能を有する論理回路が形成されたチップを所要の周辺回路を有するチップ上に積み重ねて相互接続を行うだけで、様々な仕様の半導体集積回路を作製することができる。したがって、ユーザーの要求に最適な半導体集積回路を低コストかつ短納期で提供可能とする効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施例説明図

【図2】 本発明の第2の実施例説明図

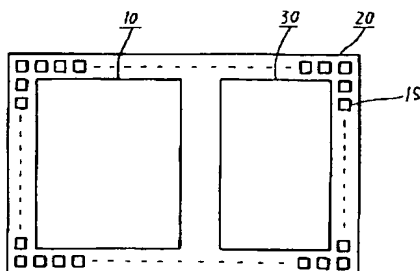
【図3】 本発明の第3の実施例説明図

【符号の説明】

10, 20, 30	チップ	16	ボンディングワイヤ
11, 12, 15	パッド	18	リード線
13	バンプ		

【図2】

本発明の第2の実施例説明図



【図3】

本発明の第3の実施例説明図

